

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289246

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H03K 19/00  
H03K 3/356

(21)Application number : 10-093245

(71)Applicant : NEC CORP

(22)Date of filing : 06.04.1998

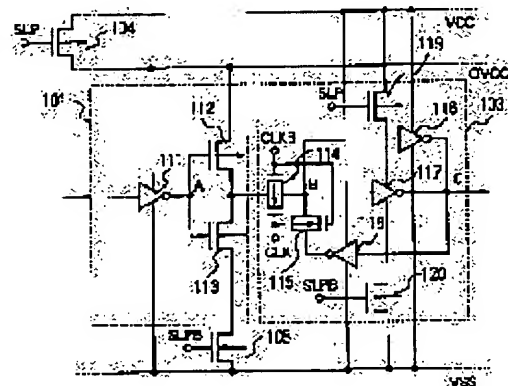
(72)Inventor : IWAKI HIROAKI  
KUMAGAI KOICHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the occupied area of power supply constitution in a semiconductor integrated circuit including transistors(TRs) operated with low voltage and having low thresholds.

**SOLUTION:** The semiconductor integrated circuit is provided with a power supply circuit consisting of a global power supply line VCC, a local power supply line QVCC and a global ground line VSS, a low threshold logical circuit 101 connected between the power supply line QVCC and the ground line VSS and an information storing circuit 103 connected between the power supply line VCC and the ground line VSS. The circuit 103 is provided with a low threshold transfer gate 114, a low threshold inverter 117 for receiving a signal from the gate 114 and high threshold inverters 116, 118 for connecting between the input and output of the inverter 117. Mode switch TRs 105, 119, 120 to be turned off in a stand-by mode are respectively connected between the output stage of the low threshold logical circuit 101 and the ground line VSS, between the inverter 117 and the power supply line VCC and between the inverter 117 and the ground line VSS.



## LEGAL STATUS

[Date of request for examination] 06.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3080062

[Date of registration] 23.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-289246

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl.<sup>6</sup>H 0 3 K 19/00  
3/356

識別記号

F I

H 0 3 K 19/00  
3/356A  
Z

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-93245

(22) 出願日 平成10年(1998)4月6日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 岩城 宏明

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 熊谷 浩一

東京都港区芝五丁目7番1号 日本電気株  
式会社内

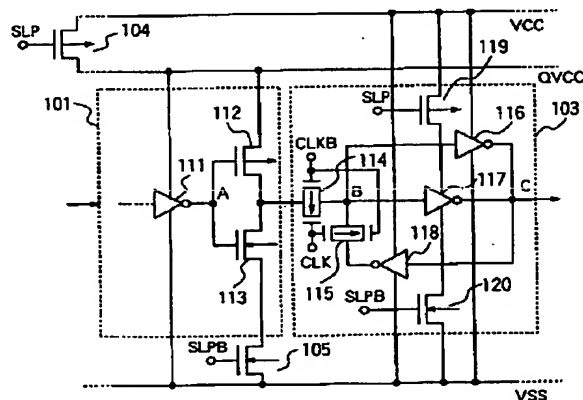
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 低電圧作動で低しきい値のトランジスタを有する半導体集積回路の電源構成を改良し、専有面積の低減を図る。

【解決手段】 半導体集積回路は、グローバル電源線VCC、ローカル電源線QVCC、及び、グローバル接地線VSSから成る電源回路と、ローカル電源線QVCCとグローバル接地線VSSとの間に接続された低しきい値論理回路101と、グローバル電源線VCCとグローバル接地線VSSとの間に接続される情報保持回路103とを備える。情報保持回路103は、低しきい値トランジスタ114と、これから信号を受け取る低しきい値インバータ117と、低しきい値インバータの入出力間を接続する高しきい値インバータ116、118とを備える。低しきい値論理回路102の出力段とグローバル接地線VSSとの間、並びに、低しきい値インバータ117とグローバル電源線VCC及びグローバル接地線VSSとの間には夫々、待機モードでオフとなるモードスイッチトランジスタ105、119、120が配設される。



## 【特許請求の範囲】

【請求項1】 第1のグローバル電源線、該第1のグローバル電源線と電源スイッチトランジスタを介して接続されたローカル電源線、及び、第2のグローバル電源線を備えた電源回路と、前記ローカル電源線と前記第2のグローバル電源線との間に接続された低しきい値論理回路と、前記第1のグローバル電源線と第2のグローバル電源線との間に接続され前記低しきい値論理回路の出力段から信号が入力される情報保持回路とを備え、前記情報保持回路が前記出力段からの信号を入力する低しきい値信号入力部及び該低しきい値信号入力部の信号をラッチする高しきい値ラッチ部とを備える半導体集積回路であって、前記低しきい値論理回路の出力段と前記第2のグローバル電源線との間、並びに、前記低しきい値信号入力部と前記第1のグローバル電源線及び第2のグローバル電源線との間には夫々モードスイッチトランジスタが配設されることを特徴とする半導体集積回路。

【請求項2】 待機モードと動作モードとの間で切換え可能であり、前記待機モードでは、前記電源スイッチトランジスタ及びモードスイッチトランジスタがオフになる、請求項1に記載の半導体集積回路。

【請求項3】 前記情報保持回路は、前記動作モードにおいて前記低しきい値信号入力部が信号を通過させるデータスルー状態になる、請求項2に記載の半導体集積回路。

【請求項4】 前記情報保持回路は、前記待機モードにおいて前記低しきい値信号入力部が信号を遮断するデータラッチモードである、請求3に記載の半導体集積回路。

【請求項5】 前記高しきい値信号ラッチ部の信号パス中に、低しきい値トランスファゲートが配設される、請求項1乃至4の何れかに記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特に、グローバル電源線、グローバル接地線、及び、ローカル電源線またはローカル接地線のいずれか一方から成る3本の電源構成を有する低消費電力半導体集積回路に関する。

## 【0002】

【従来の技術】半導体集積回路では、携帯情報端末機器等の発達に伴って、バッテリー駆動による長時間使用の要求が高まっている。そのため、携帯端末機器等に搭載される半導体集積回路では、一般的な高速化や低電圧化の要請と共に、その消費電力を削減する要請が特に高い。トランジスタを低電圧で作動させてもその動作速度が低下しないようにするためには、トランジスタを低しきい値で作動させることが好ましい。しかし、低しきい値電圧で作動するCMOSトランジスタでは、貫通電流とも

呼ばれるリーク電流が、高しきい値で作動するCMOSトランジスタに比して大きいので、消費電力削減の妨けになる。

【0003】特開平6-29834号公報には、上記要請に応えるため、低消費電力で作動する半導体集積回路が提案されている。図7を参照して提案された半導体集積回路について説明する。本集積回路は、低しきい値を有するトランジスタから成る論理回路（組合せ回路）301、302と、低しきい値及び高しきい値を有するトランジスタから成る情報保持回路（順序回路）303とから構成されている。これらの回路へは、グローバル電源線VCC、ローカル電源線QVCC、グローバル接地線VSS、及び、ローカル接地線QVSSの4本から電源が供給される。グローバル電源線VCCとローカル電源線QVCCとの間、及び、グローバル接地線VSSとローカル接地線QVSSとの間には、夫々、電源スイッチトランジスタ304、305が配設されている。低しきい値論理回路301、302には、ローカル電源線QVCC及びローカル接地線QVSSから電位が供給されており、情報保持回路303には、グローバル電源線VCC及びグローバル接地線VSSから電位が供給されている。

【0004】図8は、図7に示した低しきい値論理回路301及び情報保持回路303の具体的な回路例を示す。低しきい値論理回路301は、説明の便宜上、同回路ブロック内の出力段付近のみを示しており、この出力段は、低しきい値のPMOSTランジスタ312及び低しきい値のNMOSTランジスタ313で構成されるインバータゲートである。出力段インバータゲート、及び、これを駆動するインバータゲート311を含む低しきい値論理回路301は、全体がローカル電源線QVCCとローカル接地線QVSSとに接続される。

【0005】情報保持回路303としては、ラッチ回路を例示している。ラッチ回路は、低しきい値のインバータゲート317、高しきい値のインバータゲート316及び318、低しきい値のトランスファゲート314及び315、並びに、高しきい値のPMOSTランジスタ319及びNMOSTランジスタ320で形成される。高しきい値インバータゲート316及び318は、グローバル電源線VCC及びグローバル接地線VSSに直接に接続される。低しきい値インバータゲート317は、高しきい値PMOSTランジスタ319を介してグローバル電源線VCCに、高しきい値NMOSTランジスタ320を介してグローバル接地線VSSに夫々接続される。

## 【0006】

【発明が解決しようとする課題】上記半導体集積回路では、スリープモード時におけるグローバル電源線VCCからグローバル接地線VSSへの低しきい値論理回路のリークパス中に、オフ状態の高しきい値電源スイッチト

ランジスタ304、305があるため、リーク電流が抑制されている。ここで使用される電源スイッチ304、305は、回路内部に配置するローカル電源線QVCC及びローカル接地線QVSSに夫々電位供給と同時に作動のための電流供給を行うので、トランジスタサイズを大きく設定しなければならない。そのため、この半導体集積回路は、回路面積が比較的に大きくなるといった問題がある。

【0007】従って、本発明の目的は、特開平6-29834号公報で提案された低消費電力の半導体集積回路と同等の消費電力で作動しながらも、小面積でこれを実現できる半導体集積回路を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するため、本発明の半導体集積回路は、第1のグローバル電源線、該第1のグローバル電源線と電源スイッチトランジスタを介して接続されたローカル電源線、及び、第2のグローバル電源線を備えた電源回路と、前記ローカル電源線と前記第2のグローバル電源線との間に接続された低しきい値論理回路と、前記第1のグローバル電源線と第2のグローバル電源線との間に接続され前記低しきい値論理回路の出力段から信号が入力される情報保持回路とを備え、前記情報保持回路が前記出力段からの信号を入力する低しきい値信号入力部及び該低しきい値信号入力部の信号をラッチする高しきい値ラッチ部とを備える半導体集積回路であって、前記低しきい値論理回路の出力段と前記第2のグローバル電源線との間、並びに、前記低しきい値信号入力部と前記第1のグローバル電源線及び第2のグローバル電源線との間には夫々モードスイッチトランジスタが配設されることを特徴とする。

【0009】本発明の半導体集積回路によると、3本の電源線で従来の4本の電源線と同等の高速作動で且つ低消費電力が可能になる。

【0010】本発明の半導体集積回路は、待機モードと動作モードとの間で切換え可能とすることが好ましく、この待機モードでは、電源スイッチトランジスタ及びモードスイッチトランジスタをオフにすることが好ましい。この構成により、待機モードにおいて特に低消費電力が実現できる。

【0011】前記情報保持回路は、前記動作モードにおいて前記低しきい値ト信号入力部が前記信号を通過させるデータスルー状態になり、前記待機モードにおいて前記低しきい値信号入力部が前記信号を遮断するデータラッチモードであることが好ましい。

【0012】前記高しきい値信号ラッチ部の信号パス中には低しきい値トランスファゲートを配設することが好ましい。トランスファゲートは、一般に、電源線との間に電流パスを持たないので、低しきい値を採用しても、貫通電流が増大することがない。

【0013】

【発明の実施の形態】図面を参照して本発明の実施形態例に基づいて本発明を更に詳細に説明する。なお、添付図面では、理解を容易にするため、同様な構成要素には同様な参照符号を付して示した。図1は、本発明の一実施形態例の半導体集積回路を示すブロック図で、本集積回路の電源は、グローバル電源線VCC、ローカル電源線QVCC、及び、グローバル接地線VSSの3電源線構成を有している。グローバル電源線VCCとローカル電源線QVCCとの間には、高しきい値の電源スイッチトランジスタ104が配設され、このトランジスタ104のオン/オフにより、半導体集積回路の動作モード（アクティブモード）と待機モード（スリープモード）との間の切換えが可能である。

【0014】低しきい値論理回路101、102は、全て低しきい値のトランジスタで構成されており、これによって信号伝達の高速化を図っている。本実施形態例の半導体集積回路では、低しきい値論理回路は、電源構成が異なる2種類の論理回路を含んでいる。第1の種類は、低しきい値論理回路102であり、ローカル電源線QVCCとグローバル接地線VSSとの間に直接に接続される。第2の種類は、低しきい値論理回路101であり、ローカル電源線QVCCとグローバル接地線VSSとの間に接続されており、グローバル接地線VSSに直接に接続される回路部分と、高しきい値電源スイッチトランジスタ105を介して接続される回路部分とを含む。

【0015】情報保持回路103は、低しきい値及び高しきい値の2種類のトランジスタで構成され、グローバル電源線VCCとグローバル接地線VSSとから直接に電位が供給されている。情報保持回路の構成は、特開平6-29834号公報に記載されている回路とほぼ同じ構成である。

【0016】上記構成により、特開平6-29834号公報に記載されている、グローバル電源線/接地線、ローカル電源線/接地線の4本の電源構成で実現される回路と同等の機能が3本の電源線で実現できる。なお、本実施形態例では、上記4本の電源構成から、ローカル電源線を除いた構成を示したが、ローカル電源線またはローカル接地線のいずれを削減しても同様の機能が得られる。ここで、本実施形態例では、高しきい値電源スイッチトランジスタ105は、特開平6-29834号公報に記載されている高しきい値電源スイッチトランジスタのゲート幅(W)よりも小さなゲート幅で構成可能である。従って、特開平6-29834号公報に記載されている半導体集積回路よりも、回路面積を小さく構成できる。

【0017】図1の半導体集積回路では、低しきい値論理回路101、102は、ファンクションブロックや機能マクロ等を含む組合せ回路であり、情報保持回路103は、ラッチ回路やフリップフロップ（以下、F/Fと記述する。）等を含む順序回路である。グローバル電源

線VCCとローカル電源線QVCCとの間に配設された電源スイッチトランジスタ104は、高しきい値のトランジスタであり、SLP信号(モード切換信号)により制御され、動作モードと待機モードとの間でモード切換えが行われる。

【0018】図2は、低しきい値論理回路101と情報保持回路103の具体例を示している。なお、同図には、低しきい値論理回路101の内部は、説明に必要な出力段の近傍のみ示した。低しきい値論理回路101の出力段は、低しきい値のPMOSTランジスタ112及び低しきい値のNMOSTランジスタ113で構成されるCMOSインバータゲートである。PMOSTランジスタ112のソース側はローカル電源線QVCCに接続され、NMOSTランジスタ113のソース側は、高しきい値のNMOSTランジスタ105を介して、グローバル接地線VSSに接続される。出力段を駆動するインバータゲート111を含む他の回路部分は、ローカル電源線QVCCとグローバル接地線VSSとにそれぞれ直接に接続される。NMOSTランジスタ105は、モード交換信号SLPBによって制御される。低しきい値回路101の各トランジスタを低しきい値のトランジスタで構成したので、信号伝達の高速化が可能である。

【0019】情報保持回路103は、ラッチ回路を例示している。ラッチ回路103は、入力信号を受けてこれを通過させる低しきい値のトランスファゲート114と、トランスファゲート114の出力ノードBに接続された低しきい値のインバータゲート117及び高しきい値のインバータゲート116と、これらインバータゲート117、116の出力ノードCを低しきい値のトランスファゲート115を経由して、インバータゲート117、116の入力ノードBにフィードバックする高しきい値のインバータゲート118と、低しきい値のインバータゲート117をグローバル電源線VCC及びグローバル接地線VSSに夫々接続する高しきい値のPMOSTランジスタ119及びNMOSTランジスタ120とで構成される。双方のトランジスタゲート114、115は、例えば、並列接続された一対のPMOSTランジスタ及びNMOSTランジスタで構成される。トランスファゲート114、115は、相補信号を構成するクロック信号CLK/CLKBで制御される。PMOSTランジスタ119及びNMOSTランジスタ120は、相補信号を構成するモード交換信号SLP/SLPBで夫々制御される。

【0020】本実施形態例の半導体集積回路は、各電源スイッチトランジスタがモード交換信号SLP/SLPBによって制御され、高しきい値PMOSTランジスタ104、119と高しきい値NMOSTランジスタ105、120とがそれぞれオンの時に動作モード(アクティブモード)となり、オフの時に待機モード(スリープモード)となる。ラッチ回路103は、クロック信号C

LK/CLKBによりその動作が制御され、トランスファゲート114がオンで115がオフの時にデータスルー状態に、また、トランスファゲート114がオフで115がオンの時にデータラッチ状態となる。

【0021】図3は、本実施形態例の半導体集積回路の信号のタイミングチャートで、クロック信号CLK/CLKB、モード切換え信号SLP/SLPB、低しきい値論理回路101の出力段の入力ノードA、ラッチ回路103の入力ノードB及び出力ノードCの各信号が示されている。期間Taがアクティブモード、期間Tsがスリープモードとして示されている。回路動作期間を更にT1~T6に分けて動作の説明を行う。

【0022】期間T1は、SLPが"Lo"(SLPBが"Hi")であるため、アクティブモードである。また期間T1は、CLKが"Lo"(CLKBが"Hi")であるため、ラッチ回路103がデータスルーの状態である。従って、ノードAに入力される"Lo"のデータが、低しきい値PMOSTランジスタ112及びNMOSTランジスタ113で構成されるインバータゲートと、低しきい値トランスファゲート114とを経由してノードBに"Hi"のデータとして伝達され、さらに、低しきい値インバータゲート117を経由してノードCに"Lo"のデータとして出力される。このようにノードAからノードCまでのパスは、低しきい値のトランジスタで構成されているため、入力信号は高速に伝搬される。

【0023】期間T2は、期間T1と同様にSLPが"Lo"(SLPBが"Hi")であるため、アクティブモードである。ここでは、CLKが"Hi"(CLKBが"Lo")に変化し、トランスファゲート114がオフ、トランスファゲート115がオンすることで、ラッチ回路103はデータラッチ状態となる。これによって、ノードAに入力されていた"Lo"のデータが、インバータゲート116、117、118で構成されるラッチ部のノードB及びノードCにそれぞれ"Hi"及び"Lo"のデータとして保持される。

【0024】期間T3は、SLPが"Hi"(SLPBが"Lo")に変わるため、スリープモードとなる。この変化により、電源スイッチトランジスタ104はオフとなり、ローカル電源線QVCCが電氣的にフローティング状態となる。この結果、ローカル電源線QVCCから電位供給を受けていたインバータゲート111の出力ノードAは電源から切り離されて、その電位が不定となる。また、電源スイッチトランジスタ119、120もオフとなり、低しきい値のトランジスタで構成されるインバータゲート117には、グローバル電源線VCCとグローバル接地線VSSから電位が供給されなくなり、これらは動作しなくなる。この時、ノードBとノードCのデータは、高しきい値トランジスタで構成されるインバータゲート116、118によって保持される。

【0025】期間T4では、期間T3の状態が維持され

10

20

30

40

50

る。この期間中は、ラッチ部を構成するインバータゲート116及び118が、グローバル電源線VCCとグローバル接地線VSSとから電源供給を受けているため、ノードB及びノードCにそれぞれ“Hi”及び“Lo”のデータを保持し続ける。このとき、HighレベルとなっているノードBからグローバル接地線VSSへ抜ける低しきい値トランジスタ113のリークパス中には、SLPBの“Lo”によりオフ状態となっている高しきい値電源スイッチトランジスタ105があるので、リーク電流は無視できるほど小さくできる。また、ノードB及び

ノードCに上記とは逆のデータが保持されている場合には、HighレベルのノードCからグローバル接地線VSSへ抜ける低しきい値インバータ117のリークパス中には、SLPBの“Lo”によってオフしている高しきい値電源スイッチトランジスタ120があるので、リーク電流が小さくできる。

【0026】期間T5は、SLPが“Lo”（SLPBが“Hi”）に変化し、論理回路の各ノードの電位が安定し、クロック信号CLKが入力可能となるまでの期間である。SLP/SLPBの信号変化により、電源スイッチトランジスタ104がオンとなり、ローカル電源線QVCCの電位は、グローバル電源線VCCと等電位になり、ノードAの電位が“Hi”の入力データとして安定する。

【0027】期間T6では、期間T5の回路動作を受けてCLKが“Lo”（CLKBが“Hi”）に変わるため、ラッチ回路103が再びデータスルー状態になる。これによって、ノードAに入力される“Hi”のデータが、低しきい値PMOSTランジスタ112及びNMOSTランジスタ113で構成されるインバータゲートと、低しきい値トランスファゲート114とを經由して、ノードBに“Lo”のデータとして伝達され、さらに低しきい値インバータゲート117を介してノードCに“Hi”のデータとして出力される。

【0028】図4は本発明の第2の実施形態例の半導体集積回路を示す。本実施形態例は、電源供給線が、グローバル電源線VCC、グローバル接地線VSS、及び、ローカル接地線QVSSである点において、先の実施形態例と異なる。グローバル接地線VSSとローカル接地線QVSSとの間には、高しきい値の電源用スイッチトランジスタ205が設けられ、SLPB信号によりモードの切り換えが行われる。

【0029】低しきい値論理回路101、102は、先の実施形態例と同様に、全て低しきい値のトランジスタで構成されている。低しきい値論理回路は、電源構成が相互に異なる2種類の論理回路から成る。第1の種類の低しきい値論理回路102は、グローバル電源線VCCとローカル接地線QVSSとから電源が供給され、第2の種類の低しきい値論理回路101は、グローバル電源線VCC及びローカル接地線QVSSから直接に電位が

供給されるほか、グローバル電源線VCCからは、高しきい値電源スイッチトランジスタ204を介して電位が供給される。

【0030】情報保持回路103は、第1の実施形態例と同様に、低しきい値と高しきい値の2種類のトランジスタで構成されている。電源構成も先の実施形態例と同様である。

【0031】図5は、低しきい値論理回路101及び情報保持回路103の具体例を示し、低しきい値論理回路101は、出力段の近傍のみを示している。この出力段は、低しきい値のPMOSTランジスタ112及び低しきい値のNMOSTランジスタ113で構成されるインバータゲートである。PMOSTランジスタ112のソース側は、高しきい値のPMOSTランジスタ204を介してグローバル電源線VCCに接続され、NMOSTランジスタ11のソース側はローカル接地線QVSSに直接に接続される。出力段を駆動するインバータゲート111を含む他の回路部分は、グローバル電源線VCC及びローカル接地線QVSSにそれぞれ接続される。情報保持回路103は、図2のラッチ回路と同じ構成のラッチ回路を有している。

【0032】本実施形態例の半導体集積回路は、先の実施形態例と同様に、相補信号を成すSLP/SLPBによって制御され、高しきい値PMOSTランジスタ204、119と高しきい値NMOSTランジスタ205、120とがオンの時にアクティブモードとなり、オフの時にスリープモードとなる。また、相補クロック信号CLK/CLKBは、第1の実施形態例と同様に、ラッチ回路103をデータスルー状態/データラッチ状態とする制御を行う。本実施形態例の半導体集積回路の電源は、上記のように、グローバル電源線/接地線、ローカル接地線の3本の電源線で構成される。

【0033】図6は、本実施形態例の信号タイミングチャートで、相補クロック信号CLK/CLKB、相補モード切り換え信号SLP/SLPB、図5の低しきい値論理回路101の出力段インバータゲートの入力ノードA、ラッチ回路103の入力ノードBと出力ノードCのタイミングチャートを示している。クロック信号CLK/CLKB、モード切り換え信号SLP/SLPBは、第1の実施形態例と同様な波形である。期間Taがアクティブモード、期間Tsがスリープモードであり、以下では、回路動作期間をT1～T6に分けて動作説明を行う。

【0034】期間T1は、SLPが“Lo”（SLPBが“Hi”）であり、アクティブモードである。また期間T1は、CLKが“Lo”（CLKBが“Hi”）であり、ラッチ回路103がデータスルーの状態である。この期間では、ノードAに入力される“Hi”のデータが、低しきい値PMOSTランジスタ112及びNMOSTランジスタ113で構成されるインバータゲートと低しきい

値トランスファゲート114を介してノードBに"Lo"のデータとして伝達され、さらに、低しきい値インバータゲート117を介してノードCに"Hi"のデータとして出力される。このように、データは、低しきい値のトランジスタやゲートから成る信号パスを通過するので、高速に伝達される。

【0035】期間T2は、期間T1と同様にSLPが"Lo"（SLPBが"Hi"）であり、アクティブモードである。この期間では、CLKが"Hi"（CLKBが"Lo"）に変化したことで、ラッチ回路103がデータラッチ状態となる。これによって、ノードAに入力される"Hi"のデータが、インバータゲート116、117、118で構成されるラッチ部のノードB及びノードCにそれぞれ"Lo"及び"Hi"のデータとして保持される。

【0036】期間T3は、SLPが"Hi"（SLPBが"Lo"）に変わったため、スリープモードとなる。この変化により、電源スイッチトランジスタ205はオフとなり、ローカル接地線QVSSが電氣的にフローティングとなる。この結果、ローカル接地線QVSSから電位供給を受けていたインバータゲート111の出力ノードAはグローバル接地線VSSから切り離され、その電位が不定となる。また、電源スイッチトランジスタ119、120もオフとなり、低しきい値のインバータゲート117は、グローバル電源線VCC及びグローバル接地線VSSからの電位供給を受けられなくなる。その結果、インバータゲート116、118によってノードB及びノードCのデータは保持される。

【0037】期間T4は、期間T3の回路状態が維持される。この期間中は、ラッチ部を構成するインバータゲート116及び118がグローバル電源線VCC及びグローバル接地線VSSから電位供給を受けているので、ノードB及びノードCにそれぞれ"Lo"及び"Hi"のデータを保持し続けることができる。このとき、グローバル電源線VCCからLowレベルとなっているノードBへのリークパス中には、SLPによりオフ状態となっている高しきい値電源スイッチトランジスタ204が挿入されており、低しきい値トランジスタを流れるリーク電流は無視できるほど小さくできる。

【0038】期間T5は、SLPが"Lo"（SLPBが"Hi"）に変化した後で、論理回路の各ノードの電位が安定し、クロック信号CLKが入力可能となるまでの期間である。SLP信号の変化により、電源スイッチトランジスタ205がオンとなり、ローカル接地線QVSSの電位は、グローバル接地線VSSと等電位となり、ノードAの電位が"Lo"の入力データとして安定する。

【0039】期間T6は、期間T5の回路動作を受けてCLKが"Lo"（CLKBが"Hi"）に変わるため、ラッチ回路103が再びデータスルー状態になる。これによって、ノードAに入力される"Lo"のデータが、低し

きい値PMOSTランジスタ112及びNMOSTランジスタ113で構成されるインバータゲートと、低しきい値トランスファゲート114とを介してノードBに"Hi"のデータとして伝達され、さらに、低しきい値インバータゲート117を介してノードCに"Lo"のデータとして出力される。

【0040】本実施形態例は、グローバル接地線VSSとローカル接地線QVSSとの間に設けられる高しきい値でゲート幅Wの大きなスイッチトランジスタ205が、第1の実施形態例の電源スイッチトランジスタ104とは異なりNMOSTランジスタで構成できる。NMOSTランジスタは、一般的に、同じトランジスタサイズのPMOSTランジスタよりもドライブ能力が高いので、本実施形態例では、電源スイッチトランジスタが第1の実施形態例に比して小さくできるため、更に回路面積を小さくできる。

【0041】

【発明の効果】本発明の半導体集積回路によると、特開平6-29834号公報で提案されている4電源線を有する低消費電力半導体集積回路と同等の機能を有する半導体集積回路を3電源線で構成したこと、及び、グローバル電源線とローカル電源線との間、または、グローバル接地線とローカル接地線との間に設けられた高しきい値でゲート幅が大きなトランジスタの一方を削減したことにより、回路の専有面積を低減できた効果がある。

【図面の簡単な説明】

【図1】本発明の一実施形態例の半導体集積回路の電源構成を示すブロック図。

【図2】図1の半導体集積回路の低しきい値論理回路及び情報保持回路の例を示す回路図。

【図3】図1の実施形態例の各信号を示すタイミングチャート。

【図4】本発明の第2の実施形態例の半導体集積回路の電源構成を示すブロック図。

【図5】図4の半導体集積回路の低しきい値論理回路及び情報保持回路の例を示す回路図。

【図6】図4の実施形態例の各信号を示すタイミングチャート。

【図7】以前に提案されている半導体集積回路における電源構成を示すブロック図。

【図8】図7の半導体集積回路の部分回路図。

【符号の説明】

101、102 低しきい値論理回路

103 情報保持回路

104、105、204、205 スwitchトランジスタ

111 インバータゲート

112 PMOSTランジスタ

113 NMOSTランジスタ

114、115 トランスファゲート



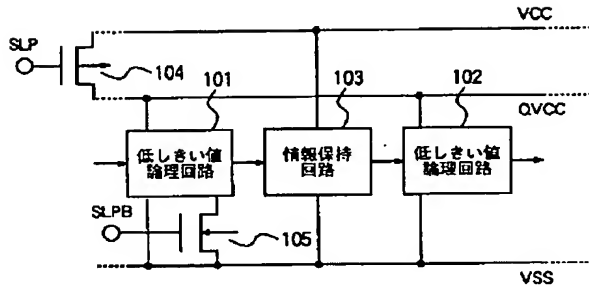
(7)

特開平11-289246

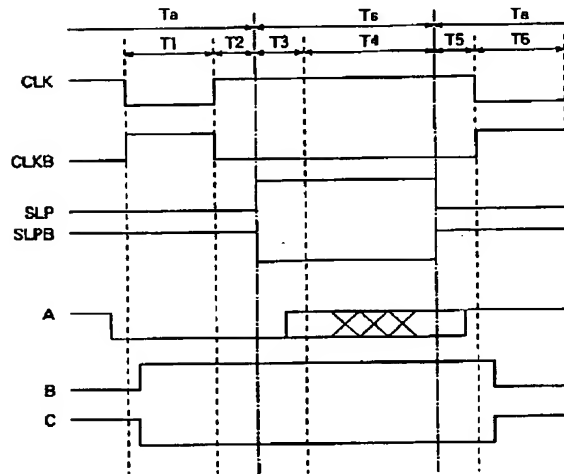
11  
116、117、118 インバータゲート  
119、120 スイッチトランジスタ  
VCC グローバル電源線  
VSS グローバル接地線

12  
\* QVCC ローカル電源線  
QVSS ローカル接地線  
SLP/SLPB モード切換え信号  
\* CLK/CLKB クロック信号

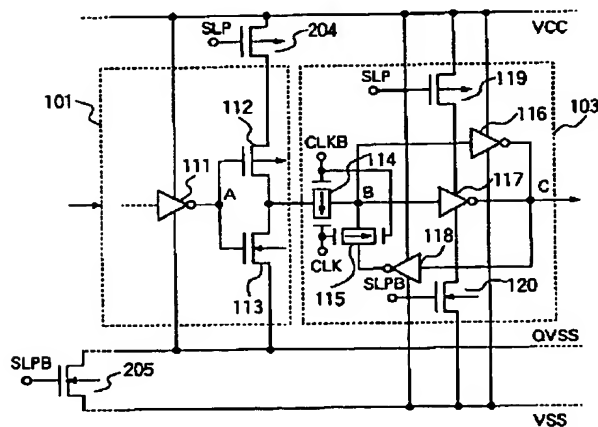
【図1】



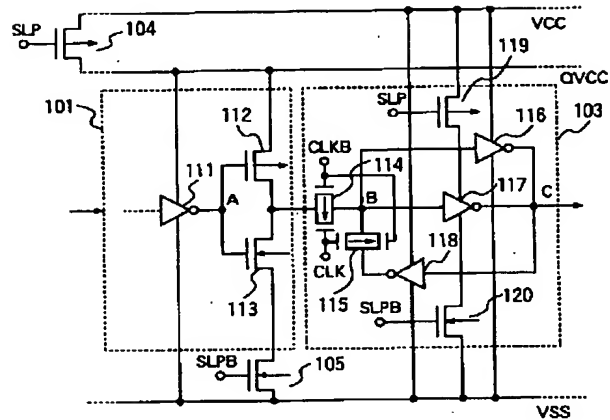
【図3】



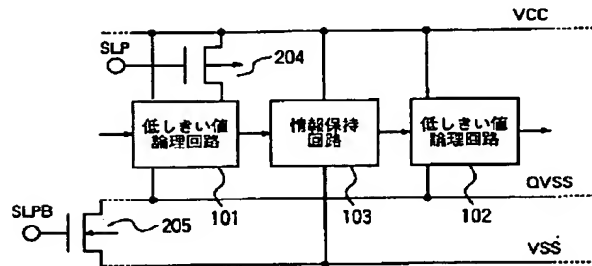
【図5】



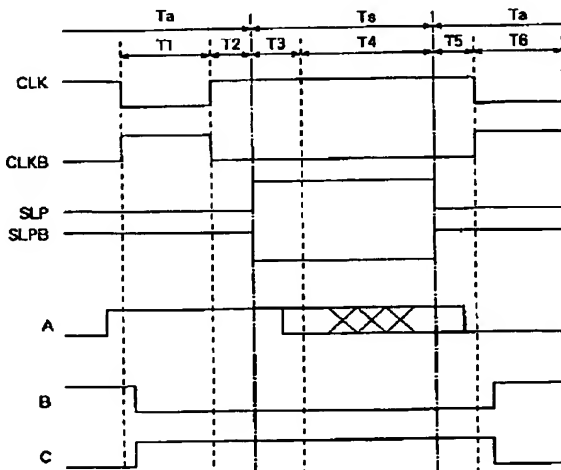
【図2】



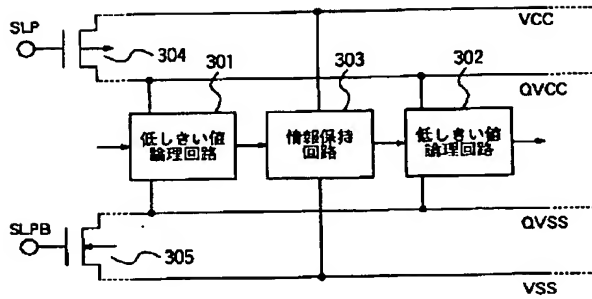
【図4】



【図6】



【図 7】



【図 8】

